

#2

Jc971 U.S. PTO
10/083447
02/26/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Kazunroi KISHIMOTO**
Filed: : **Concurrently herewith**
For: : **METHOD OF TESTING A SEMICONDUCTOR.....**
Serial No. : **Concurrently herewith**

Assistant Commissioner for Patents
Washington, D.C. 20231

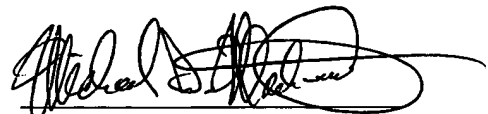
February 26, 2002

PRIORITY CLAIM AND SUBMISSION
OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **JAPANESE** patent application no. **2001-057305** filed **March 1, 2001**, a certified copy of which is enclosed

Respectfully submitted,



Michael I. Markowitz
Reg. No. 30,659

ROSENMAN & COLIN, LLP
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2584
DOCKET NO.: NEKO 19.481
TELEPHONE: (212) 940-8800

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc971 U.S. PTO
10/083447
02/26/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月 1日

出 願 番 号

Application Number:

特願2001-057305

出 願 人

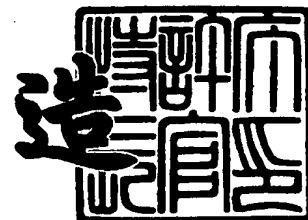
Applicant(s):

日本電気株式会社

2001年12月21日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3110220

【書類名】 特許願

【整理番号】 75410094

【提出日】 平成13年 3月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/28
G06F 11/22

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 岸本 一徳

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の試験方法と試験パターン生成方法及び装置並びにプログラム

【特許請求の範囲】

【請求項 1】

半導体集積回路を試験するにあたり、遅延試験を行う測定パスに遅延測定用の信号を印加するとともに、前記測定パスに対してクロストークの影響を与えるパスにも、前記測定パスに印加する前記遅延測定用の信号と同相又は逆相で遷移する信号を印加し、クロストーク影響下で前記測定パスを伝搬する信号の伝搬遅延時間を測定する、ことを特徴とする半導体集積回路の試験方法。

【請求項 2】

前記測定パスにクロストークの影響を与える前記パスのレベルを固定値に設定した上で、前記測定パスに前記遅延測定用の信号を印加して前記測定パスを伝搬する前記遅延測定用の信号の伝搬遅延時間を測定し、この伝搬遅延時間と、前記測定パスにクロストークの影響を与える前記パスに信号を印加した状態で測定された前記遅延測定用の信号の伝搬遅延時間の差に基づき、クロストークによる影響について定量的な評価を行う、ことを特徴とする請求項 1 記載の半導体集積回路の試験方法。

【請求項 3】

スキャンパスを利用した AC テストにおいて、遅延試験を行う測定パスに遅延測定用の信号を印加するパターン、及び前記測定パスに対してクロストークの影響を与えるパスに、前記遅延測定用の信号と同相又は逆相で遷移する信号を印加するためのパターンを、スキャンパスレジスタにスキャンイン端子より入力し、

前記スキャンパスレジスタより前記測定パスに前記遅延測定用の信号を印加するとともに、前記測定パスにクロストークの影響を与えるパスに信号を印加し、

前記測定パスの終端の信号をサンプルするスキャンパスレジスタの値をスキャンアウト端子より読み出して期待値と比較することで、前記測定パスの遅延時間を測定する、ことを特徴とする半導体集積回路の試験方法。

【請求項 4】

スキャンパスを有する半導体集積回路の試験方法において、

スキャンパスを構成するフリップフロップよりなるレジスタ間に配置される組合せ回路の測定パスに対して、前記測定パスに対応するフリップフロップより、遅延測定用の信号を印加するとともに、前記測定パスに対してクロストークの影響を与えるパスにも、該パスに対応するフリップフロップより、前記測定パスに印加する信号と同相又は逆相で遷移する信号を印加し、前記測定パスの終端の信号をサンプルするフリップフロップの値を期待値と比較することで、前記測定パスの遅延時間を測定する、ことを特徴とする半導体集積回路の試験方法。

【請求項 5】

スキャンパスを有する半導体集積回路の試験方法において、

スキャンパスを構成するフリップフロップよりなるレジスタ間に配置される組合せ回路の測定パスに対して、前記測定パスに対応するフリップフロップより、遅延測定用の信号を印加するとともに、前記測定パスに接続されるフリップフロップにクロックを供給するクロック信号配線に対してクロストークの影響を与えるパスにも、該パスに対応するフリップフロップより、前記クロック信号配線を伝達するクロック信号と同相又は逆相で遷移する信号を印加し、前記測定パスの終端の信号をサンプルするフリップフロップの値を期待値と比較することで、前記測定パスの遅延時間を測定する、ことを特徴とする半導体集積回路の試験方法。

【請求項 6】

前記測定パスにクロストークの影響を与える前記パスを固定値に設定する信号を、該パスに対応するフリップフロップより与えて前記測定パスの遅延時間を測定し、前記測定パスにクロストークの影響を与えるパスに信号を与えたときの前記測定パスの遅延時間との差に基づき、クロストークによる影響を導出する、ことを特徴とする請求項 4 又は 5 記載の半導体集積回路の試験方法。

【請求項 7】

スキャンパス回路を備えた半導体集積回路をテストするためのパターンをコンピュータにより生成する方法において、

前記半導体集積回路のレイアウト情報に基づき、スキャンパスを構成するフリ

ップフロップよりなるレジスタ間の組合せ回路の遅延測定用の測定パスに対してクロストークによる影響を与えるパス（「アグレッサパス」という）のパス情報を生成するステップと、

前記測定パスに対して印加される遅延測定用の信号を、前記測定パスに対応するフリップフロップから出力させるパターンを生成するとともに、前記アグレッサパスに対して、前記測定パスへのクロストークによる影響を調べるための信号を、前記アグレッサパスに対応するフリップフロップから出力させるパターンを生成するステップと、

を含む、ことを特徴とする試験パターン生成方法。

【請求項 8】

スキャンパス回路を備えた半導体集積回路をテストするためのパターンをコンピュータにより生成する方法において、

前記半導体集積回路のレイアウト情報に基づき、近傍配線を抽出し、クロストークの影響を及ぼす配線情報を抽出するステップと、

前記抽出されたクロストーク情報を参照して、スキャンパスを構成するフリップフロップよりなるレジスタ間の組合せ回路の遅延測定用の測定パスに対して、前記測定パスを構成するノードと信号の遷移の組を含む測定パス情報を生成するとともに、前記測定パスに対してクロストークによる影響を与えるパス（「アグレッサパス」という）のノード情報を含むアグレッサパス情報を生成するステップと、

前記半導体集積回路の回路情報と、前記測定パス情報と、前記アグレッサパス情報とから、前記測定パスに遅延測定用の信号を入力し、前記測定パスに入力した前記遅延測定用の信号が前記測定パスを伝搬するために設定しておくべき信号を、前記測定パスの入力側のレジスタの対応するフリップフロップから出力させるパターンを生成するとともに、前記アグレッサパスに対して、クロストークにより前記測定パスに影響を与える信号を入力し、前記アグレッサパスに入力した前記信号が前記アグレッサパスを伝搬するために設定しておくべき信号を、前記アグレッサパスの入力側のレジスタの対応するフリップフロップから出力させるパターンを生成するステップと、

を含む、ことを特徴とする試験パターン生成方法。

【請求項 9】

スキャンパス回路を備えた半導体集積回路をテストするためのパターンを生成する装置において、

前記半導体集積回路のレイアウト情報に基づき、スキャンパスを構成するフリップフロップよりなるレジスタ間の組合せ回路の遅延測定用の測定パスに対してクロストークによる影響を与えるパス（「アグレッサパス」という）のパス情報を生成する手段と、

前記測定パスに対して印加される遅延測定用の信号を、前記測定パスに対応するフリップフロップから出力させるパターンを生成するとともに、前記アグレッサパスには、前記測定パスへのクロストークによる影響を調べるための信号を、前記アグレッサパスに対応するフリップフロップから出力させるパターンを生成するパターン生成手段と、

を含む、ことを特徴とする試験パターン生成装置。

【請求項 10】

スキャンパス回路を備えた半導体集積回路をテストするためのパターンを生成する装置において、

前記半導体集積回路のレイアウト情報に基づき、近傍配線を抽出し、クロストークの影響を及ぼす配線情報を抽出する手段と、

前記抽出されたクロストーク情報を参照して、スキャンパスを構成するフリップフロップよりなるレジスタ間の組合せ回路の遅延測定用の測定パスに対して、前記測定パスを構成するノードと信号の遷移の組を含む測定パス情報を生成するとともに、前記測定パスに対してクロストークによる影響を与えるパス（「アグレッサパス」という）のノード情報を含むアグレッサパス情報を生成する手段と、

前記半導体集積回路の回路情報と、前記測定パス情報と、前記アグレッサパス情報とから、前記測定パスに遅延測定用の信号を入力し、前記測定パスに入力した前記遅延測定用の信号が前記測定パスを伝搬するために設定しておくべき信号を、前記測定パスの入力側のレジスタの対応するフリップフロップから出力させ

るパターンを生成するとともに、前記アグレッサパスに対して、クロストークにより前記測定パスに影響を与える信号を入力し、前記アグレッサパスに入力した前記信号が前記アグレッサパスを伝搬するために設定しておくべき信号を、前記アグレッサパスの入力側のレジスタの対応するフリップフロップから出力させるパターンを生成するパターン生成手段と、

を含む、ことを特徴とする試験パターン生成装置。

【請求項 1 1】

スキャンパス回路を備えた半導体集積回路を被試験デバイスとして L S I テスタで試験するにあたり、

スキャンパスを構成するフリップフロップよりなるレジスタの出力端に入力端が接続され、出力端がスキャンパスを構成するフリップフロップよりなるレジスタの入力端に接続された組合せ回路について、遅延測定を行う測定パス、及び前記測定パスにクロストークの影響を与えるパス（「アグレッサパス」という）の入力端に、出力端子がそれぞれ接続されるフリップフロップを初期状態に設定するパターンと、前記各フリップフロップのデータ入力端子に組合せ回路を介して接続されるフリップフロップであって、前記測定パス及び前記アグレッサパスの入力端の状態を初期状態から遷移させるために値を設定しておく必要のあるフリップフロップを所定の状態に設定するパターンと、前記測定パス及び前記アグレッサパスを信号が伝搬するために値を設定しておく必要のあるフリップフロップを所定の状態に設定するパターンを含む初期化パターンを、前記半導体集積回路をスキャンモードに設定して前記半導体集積回路のスキャンイン端子からシリアルに供給する第 1 のステップと、

前記半導体集積回路をスキャンモードから通常モードに設定し、最初のクロックで、前記測定パスの入力端に信号を与えるフリップフロップがデータ入力端子の信号をラッチすることで、その出力信号を初期状態から遷移させ、その際、前記アグレッサパスの入力端に信号を与えるフリップフロップもデータ入力端子の信号をラッチすることで、その出力信号を初期状態から遷移させ、前記測定パスの出力端の信号をデータ入力端子から入力するフリップフロップは、次のクロックで、前記データ入力端子の信号をラッチする第 2 のステップと、

前記半導体集積回路を再びスキャンモードに設定して、スキャンパスを構成するフリップフロップの値を前記半導体集積回路のスキャンアウト端子から読み出して、前記測定パスの出力端の信号をデータ入力端子から入力するフリップフロップの値を期待値と比較する第3のステップと、

前記比較の結果が、パスの場合には、クロック周期を所定時間短縮させ、一方フェイルの場合、クロック周期を所定時間増加させ、前記第1、第2、第3のステップを実行し、パスからフェイルへの変化時点、あるいはフェイルからパスへの変化時点でのクロック周期を、クロストーク影響下での前記測定パスの遅延時間とする第4のステップと、

を含む、ことを特徴とする半導体集積回路の試験方法。

【請求項12】

スキャンパス回路を備えた半導体集積回路を被試験デバイスとしてLSIテストで試験するにあたり、

スキャンパスを構成するフリップフロップよりなるレジスタの出力端に入力端が接続され、出力端がスキャンパスを構成するフリップフロップよりなるレジスタの入力端に接続された組合せ回路について、遅延測定を行う測定パスの入力端に出力端子が接続されたフリップフロップを初期状態に設定するパターンと、前記測定パスに接続されるフリップフロップにクロックを供給するクロック信号配線に対して、クロストークの影響を与えるパス（「アグレッサパス」という）に対応するフリップフロップを初期状態に設定するパターンと、前記各フリップフロップのデータ入力端子に組合せ回路を介して接続されるフリップフロップであって、前記測定パスの入力端の状態を初期状態から遷移させるために、値を設定しておく必要のあるフリップフロップを所定の状態に設定するためのパターンと、前記アグレッサパスの入力端の状態を初期状態からクロックの遷移と同相又は逆相に遷移させるために値を設定しておく必要のあるフリップフロップを所定の状態に設定するためのパターンと、前記測定パス及び前記アグレッサパスを信号が伝搬するために値を設定しておく必要のあるフリップフロップを所定の状態に設定するパターンを含む初期化パターンを、前記半導体集積回路をスキャンモードに設定して、前記半導体集積回路のスキャンイン端子からシリアルに供給する第1のステッ

ブと、

前記半導体集積回路をスキャンモードから通常モードに設定し、最初のクロックで、前記測定パスの入力端に信号を与えるフリップフロップがデータ入力端子の信号をラッチすることで、その出力信号を初期状態から遷移させ、その際、前記アグレッサパスの入力端に信号を与えるフリップフロップもデータ入力端子の信号をラッチすることで、その出力信号を初期状態から遷移させ、前記測定パスの出力端の信号をデータ入力端子から入力するフリップフロップは、次のクロックで、前記データ入力端子の信号をラッチする第2のステップと、

前記半導体集積回路を再びスキャンモードに設定して、スキャンパスを構成するフリップフロップの値を、前記半導体集積回路のスキャンアウト端子から読み出して、前記測定パスの出力端の信号をデータ入力端子から入力するフリップフロップの値を期待値と比較する第3のステップと、

前記比較の結果が、パスの場合には、クロック周期を所定時間短縮させ、一方フェイルの場合、クロック周期を所定時間増加させ、前記第1、第2、第3のステップを実行し、パスからフェイルへの変化時点、あるいはフェイルからパスへの変化時点でのクロック周期をクロストーク影響下での測定パスの遅延時間とする第4のステップと、

を含む、ことを特徴とする半導体集積回路の試験方法。

【請求項13】

前記測定パスにクロストークの影響を与えるパスを固定値とする信号を該パスに対応するフリップフロップより設定して、前記測定パスの遅延時間を測定し、前記測定パスにクロストークの影響を与えるパスに信号を与えたときの前記測定パスの遅延時間との差に基づき、クロストークによる影響を導出する、ことを特徴とする請求項11又は12記載の半導体集積回路の試験方法。

【請求項14】

スキャンパス回路を備えた半導体集積回路をテストするためのパターンをコンピュータにより生成する処理を実行するプログラムにおいて、

(a) 前記半導体集積回路のレイアウト情報に基づき、スキャンパスを構成するフリップフロップよりなるレジスタ間の組合せ回路の遅延測定用の測定パスに

対してクロストークによる影響を与えるパス（「アグレッサパス」という）のパス情報を生成する処理と、

（b）前記測定パスに対して、遅延測定用の信号を、前記測定パスに対応するフリップフロップから出力させるとともに、前記アグレッサパスには、前記測定パスへのクロストークによる影響を調べるための信号を、前記アグレッサパスに対応するフリップフロップから出力させるパターンを生成する処理と、

の前記（a）乃至（b）の各処理をコンピュータに実行させるためのプログラム。

【請求項15】

スキャンパス回路を備えた半導体集積回路をテストするためのパターンをコンピュータにより生成する処理を実行するプログラムにおいて、

（a）前記半導体集積回路のレイアウト情報に基づき、近傍配線を抽出し、クロストークの影響を及ぼす配線情報を抽出する処理と、

（b）前記抽出されたクロストーク情報を参照して、スキャンパスを構成するフリップフロップよりなるレジスタ間の組合せ回路の遅延測定用の測定パスに対して、前記測定パスを構成するノードと信号の遷移の組を含む測定パス情報を生成するとともに、前記測定パスに対してクロストークによる影響を与えるパス（「アグレッサパス」という）が存在する場合、該アグレッサパスのノード情報を含むアグレッサパス情報を生成する処理と、

（c）前記半導体集積回路の回路情報と、前記測定パス情報と、前記アグレッサパス情報とから、前記測定パスに遅延測定用の信号を入力し、前記測定パスに入力した前記遅延測定用の信号が前記測定パスを伝搬するために設定しておくべき信号を、前記測定パスの入力側のレジスタの対応するフリップフロップから出力させるパターンを生成するとともに、前記アグレッサパスに対して、クロストークにより前記測定パスに影響を与える信号を入力し、前記アグレッサパスに入力した前記信号が前記アグレッサパスに伝搬するために設定しておくべき信号を、前記アグレッサパスの入力側のレジスタの対応するフリップフロップから出力させるパターンを生成する処理と、

の前記（a）乃至（c）の各処理をコンピュータに実行させるためのプログラ

ム。

【請求項 1 6】

スキャンパス回路を備えた半導体集積回路をテストするためのパターンをコンピュータにより生成する処理を実行するプログラムにおいて、

(a) 前記半導体集積回路のレイアウト情報に基づき、近傍配線を抽出し、クロストークの影響を及ぼす配線情報を抽出する処理と、

(b) 前記抽出されたクロストーク情報を参照して、スキャンパスを構成するフリップフロップよりなるレジスタ間の組合せ回路の遅延測定用の測定パスに対して、前記測定パスを構成するノードと信号の遷移の組を含む測定パス情報を生成するとともに、前記測定パスに接続するフリップフロップにクロックを供給するクロック信号配線に対してクロストークによる影響を与えるパス（「アグレッサパス」という）が存在する場合、該アグレッサパスのノード情報を含むアグレッサパス情報を生成する処理と、

(c) 前記半導体集積回路の回路情報と、前記測定パス情報とクロック信号配線情報と、前記アグレッサパス情報とから、遅延測定用の信号を入力し、前記測定パスに入力した前記遅延測定用の信号が前記測定パスを伝搬するために設定しておくべき信号を、前記測定パスの入力側のレジスタの対応するフリップフロップから出力するとともに、前記アグレッサパスには、クロストークにより前記クロック信号配線に影響を与える信号を入力し、前記アグレッサパスに入力した前記信号が前記アグレッサパスを伝搬するために値を設定しておくべき信号を、前記アグレッサパスの入力側のレジスタの対応するフリップフロップから出力させるパターンを自動生成する処理と、

の前記 (a) 乃至 (c) の各処理をコンピュータに実行させるためのプログラム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体集積回路の試験技術に関し、特に、スキャンパスを用いた A C テストに適用して好適な半導体集積回路の試験方法及び試験パターン自動生成方

法と装置並びにプログラムに関する。

【 0 0 0 2 】

【従来の技術】

半導体集積回路のテスト容易化設計（D F T ; Design For Testability）として、論理回路中のフリップフロップを、スキャンモード時に、シリアルに接続してシフトレジスタ（スキャンレジスタ）を構成し、スキャンパスを構成するフリップフロップは、入力されるクロックに基づきスキャンイン（Scan In）端子から入力された信号（初期化パターン）を次段のフリップフロップに伝達して初期設定し、スキャンアウト（Scan Out）端子から、スキャンレジスタの状態（状態観測パターン）をシリアルに出力する構成としたスキャンパス設計方式が用いられている。スキャンパス設計方式の半導体集積回路において、スキャンレジスタの間に接続された組合せ回路は、通常動作時には、組合せ回路の入力側のレジスタの出力（パラレル出力）を受け取り、組合せ回路の出力側のレジスタに論理演算結果を出力し、組合せ回路の出力側のレジスタは、入力されるクロックにより組合せ回路の論理演算結果をサンプルする。

【 0 0 0 3 】

スキャンパスを利用した A C （交流）テストの従来の方法について以下に説明する。なお、スキャンパス方式の半導体集積回路の遅延故障検査方式としては、例えば特許第 3 0 9 0 9 2 9 号公報等の記載が参照される。特許第 3 0 9 0 9 2 9 号公報には、組合せ回路の特定の検査パスを活性化する入力パターン I を求め、レジスタにクロックを 1 発打つことにより入力パターン I が組合せ回路の入力側にあたるレジスタにセットされる入力パターン I I を求め、入力パターン I I をスキャンインした後、クロックを 2 発うち、入力パターン I を組合せ回路に入力することによって検査パスを形成し、検査パスの論理状態の変化を組合せ回路から出力させ、その出力結果を 2 発目のクロックでセットした後、その結果をスキャンアウトして期待値と比較し、比較結果に基づき検査パスの遅延故障を検査する方式が提案されている。

【 0 0 0 4 】

図 6 乃至図 9 は、スキャンパス回路を備えた半導体集積回路の A C テスト（遅

延試験)について説明するための図である。

【0005】

図6において、 $10_1 \sim 10_8$ は、スキャンパスを構成するフリップフロップであり、スキャンモード（スキャンイネーブル状態）のとき、各フリップフロップは、スキャン入力端子SINからの信号（パタン）を、入力されるスキャンクロック信号でラッチし、スキャン出力端子SOから出力し、次段のフリップフロップのスキャン入力端子SINに供給し、シリアル（スキャンチェーン）接続された最終段のフリップフロップ 10_8 のスキャン出力端子SOは、半導体集積回路の外部端子であるスキャンアウト端子に接続されている。なお、フリップフロップは図示されないスキャンモード（スキャンイネーブル）端子を備え、半導体集積回路の外部端子であるスキャンモード端子（不図示）の設定値がスキャンモードを示すとき、スキャンクロックの遷移により、スキャン入力端子SINの信号をラッチし、一方、スキャンモード端子（不図示）の設定値が通常モード（スキャンデイスエーブル状態）であるときは、入力されるクロックの遷移により、データ入力端子Dに入力される信号をラッチ出力する。

【0006】

フリップフロップ $10_1 \sim 10_3$ よりなるレジスタと、フリップフロップ $10_4 \sim 10_6$ よりなるレジスタとの間には、組合せ回路20が設けられており、またフリップフロップ $10_4 \sim 10_6$ よりなるレジスタとフリップフロップ 10_7 よりなるレジスタの間に設けられた組合せ回路として、AND回路21、NAND回路22、AND回路23からなる回路を備えている。

【0007】

図6において、スキャンパスを構成するフリップフロップの数等は、単に、説明の便宜上、簡単のために、8個としたものであり、フリップフロップ $10_1 \sim 10_3$ 、フリップフロップ $10_4 \sim 10_6$ よりなる各レジスタのフリップフロップの段数は3段に限定されるものでないことは勿論である。

【0008】

以下に説明する例において、測定パスは、その始端ノードをフリップフロップ 10_5 の出力端子Qとし、終端ノードをフリップフロップ 10_7 のデータ入力端

子Dとするパスであり、測定対象の遅延時間は、フリップフロップ10₅の出力端子Qの出力信号の立ち上がり（LowレベルからHighレベルへの遷移）から、フリップフロップ10₇のデータ入力端子Dへ入力される信号の立ち下がり（HighレベルからLowレベルへの遷移）までの信号伝搬遅延時間（t_{pHL}）であるものとする。

【0009】

テスト時には、まず、LSIテストから半導体集積回路をスキャンモードに設定し、スキャンイン端子より、シリアルパタン（初期化パタン）を、スキャンクロックに同期して、スキャンパスを構成するフリップフロップ（スキャンパスレジスタ）に転送していき、

- ・測定パスの入力ノードに出力端子が接続されるフリップフロップ10₅の状態を論理値“0”とし、

- ・フリップフロップ10₅のデータ入力端子Dに供給される信号が論理値“1”となるように設定し、

- ・測定パスの出力端ノードにデータ入力端子Dが接続されるフリップフロップ10₇の状態を論理値“1”とするように設定する。

【0010】

ここで、フリップフロップ10₅のデータ入力端子Dに供給される信号を論理値“1”とするには、組合せ回路20の入力に出力信号を供給するレジスタのフリップフロップに所定の値（組合せ回路の論理によって決定される）を設定することで行われる。すなわち、図6に示すように、フリップフロップ10₅のデータ入力端子Dには、フリップフロップ10₅が属するレジスタ（フリップフロップ10₄～10₆）の前段のレジスタをなすフリップフロップ10₁～10₃の平行出力信号を入力とする組合せ回路20から出力される出力信号の一つが入力されており、このため、フリップフロップ10₅のデータ入力端子Dに供給される信号が論理値“1”となるように、フリップフロップ10₁～10₃のそれぞれに初期値が設定される。

【0011】

また、スキャンパスを構成するフリップフロップ（スキャンパスレジスタ）に

スキャンイン端子より設定されるパターンにおいて、AND回路21、NAND回路22、AND回路23の測定パスを活性化させるように、すなわち、測定パスを信号が伝搬するように、AND回路21、NAND回路22、AND回路23の各入力を設定する。

【0012】

より具体的には、AND回路21は、第1、及び第2の入力端子に、それぞれフリップフロップ10₄の出力と、フリップフロップ10₅の出力（測定パス）を入力しており、NAND回路22は、第1、及び第2の入力端子に、それぞれ、あるパスからの信号と、AND回路21の出力（測定パス）を入力しており、AND回路23は、第1、及び第2の入力端子に、それぞれNAND回路22の出力（測定パス）とフリップフロップ10₆の出力を入力している。図6において、NAND回路22の第1の入力端子に入力されている論理“1”の信号は、フリップフロップ10₄～10₆よりなるレジスタから出力される信号を、図示されない論理回路で論理演算して生成されるものとする。この測定パスにおいて、フリップフロップ10₅の出力信号を入力とするAND回路21、NAND回路22、AND回路23が、遅延測定用の信号を伝達させるために、フリップフロップ10₄、10₆の出力を論理値“1”とし、NAND回路22の第1に入力端子に入力される信号が“1”となるように、フリップフロップ10₄～10₆の状態が初期設定される。これらのスキャンパスを構成するフリップフロップの初期化パターンは、後述するように、自動テストパターン生成装置（ATG）で自動生成される。

【0013】

次に、図7に示すように、LSIテスタから、半導体集積回路をスキャンモード（スキャンイネーブル状態）から通常モード（スキャンディスエーブル状態）に設定し、例えばクロック周期を所定のテストレートに合わせて設定されたクロックを2発、フリップフロップのクロック入力端子CKに供給する。通常モードの場合、各フリップフロップは、スキャン入力端子SINの信号ではなく、データ入力端子Dに入力される信号を、入力されるクロック信号の立ち上がりエッジでラッチする。なお、LSIテスタでは、測定パスの遅延時間を検出するために

プログラムされたクロックレートの上限と下限の範囲内で、クロック周期を可変させる。

【0014】

1 発目のクロックの立ち上がりで、フリップフロップ 10₅ は、データ入力端子 D の入力信号の “1” をラッチして出力し、その出力端子 Q は、“0” (Low レベル) から “1” (High レベル) に立ち上がる。その際、AND 回路 21 は、フリップフロップ 10₅ の出力端子の “0” から “1” への立ち上がりに応じて、その出力を “0” から “1” に変化させ、NAND 回路 22 は、AND 回路 21 の出力の “0” から “1” への立ち上がりに応じてその出力を “1” から “0” に変化させ、AND 回路 23 は、NAND 回路 22 の出力の “1” から “0” への立ち上がりに応じてその出力を “1” から “0” に変化させ、フリップフロップ 10₅ の出力端子からフリップフロップ 10₇ のデータ入力端子 D までの測定パスを信号が伝搬していく。

【0015】

2 発目のクロックの立ち上がりで、測定パスの終端ノードに対応したフリップフロップ 10₇ は、フリップフロップ 10₇ のデータ入力端子 D の信号をラッチする。

【0016】

次に、図 8 に示すように、LSI テスタから、半導体集積回路を再びスキャンモードに設定して、各フリップフロップ 10₁ ~ 10₈ をシリアルに接続し、スキャンクロックをフリップフロップ 10₁ ~ 10₈ に供給し、各フリップフロップ 10₁ ~ 10₈ の状態 (状態観測パターン) を、スキャンアウト端子に近い側のフリップフロップ 10₈ から順にシリアルに出力する。すなわち、スキャンアウト端子からのシリアル出力を受け取った LSI テスタでは、組合せ回路の出力をラッチするフリップフロップの状態を、期待値パターンと比較照合する。この例では、スキャンアウト端子から出力されるパタンのうち、フリップフロップ 10₇ の値が期待値 (“0”) と比較される。

【0017】

比較の結果、フリップフロップ 10₇ の論理値が期待値と一致する場合 (パス

）、通常モード時の2発目のクロックで、フリップフロップ10₇は、そのデータ入力端子に供給される信号を正常にラッチしていることになり、測定パスの遅延時間が入力されたクロック周期よりも短いことになる。つまり、一クロック周期の間に、フリップフロップ10₅の出力端子からの信号は、フリップフロップ10₇のデータ入力端子Dにまで伝搬していることになる。一方、フリップフロップ10₇の出力値が期待値と異なる場合、測定パスの遅延時間 t_{pHL} が、入力されたクロック周期よりも長いことになる。

【0018】

図9は、上記テストのタイミングを示す図であり、図9（a）は、スキャンモード信号、図9（b）には、クロックのタイミングが示されている。図9（a）に示す例では、Highレベルのときスキャンモード（スキャンイネーブル状態）、Lowレベルのとき通常モード（スキャンディスエーブル状態）である。また図9（b）に示す例では、スキャンクロックと通常モード時のクロックとが同一の端子から入力され、LSIテストで、クロック周期を通常モードとスキャンモードで切り替えている。一方、図9（c）に示す例では、通常モード時のクロックとスキャンクロックを別の外部端子から入力する場合のスキャンクロックと通常クロックの各クロックのタイミングチャートを示している。なお、図9（c）にタイミング動作を示したように、別の外部端子から入力されるスキャンクロックと通常クロックは、半導体集積回路内のセレクタに入力され、スキャンモードのときは、スキャンクロックが選択され、通常モードのときは、通常クロックが選択されて、図8乃至図9に示したフリップフロップのクロック入力端子CKに供給される。

【0019】

図9のスキャンモードによる初期パタンの設定①（図6の動作に対応）、通常モード②（図7の動作に対応）、スキャンモードによる状態観測パタンの読出し③（図8の動作に対応）の一連の処理を行い、シリアルに読み出されたフリップフロップの状態のうち、フリップフロップ10₇の出力が期待値（“0”）と一致している場合には、スキャンモードでの初期パタンの設定①、クロックの周期をより短く設定した状態での通常モード②、スキャンモードによる状態観測パタ

ーン読出し③を行い、シリアルに読み出されたフリップフロップの状態のうちフリップフロップ10₇の出力が期待値と一致しているか比較する処理を行い、フリップフロップ10₇の出力が期待値と一致しなくなるまで（フェイルするまで）、スキャンモード①、通常モード②、スキャンモード③の一連のテスト動作において、通常モード②における、クロックの周期を順次短くしていく。

【0020】

通常モード②の動作において、測定パスの遅延時間（フリップフロップ10₅の出力の立ち上がりからフリップフロップ10₇のデータ入力端子の立ち下がりまでの信号伝搬遅延時間）が、入力された通常クロックのクロック周期（ t_{CK1} ）よりも短い場合、図10に示すように、2発目のクロックの立ち上がりよりも前の時点で、フリップフロップ（FF）10₇のデータ入力端子Dには、信号が伝搬してLowレベルとなっており、2発目のクロックでフリップフロップ10₇がデータ入力端子Dの信号をラッチする場合、“0”を出力し、期待値（“0”）と一致する。フリップフロップ10₇の出力が期待値と一致していた状態から、通常モード②の動作においてクロック周期を短くしていき（図10の t_{CK2} ）、測定パスの遅延時間がクロック周期に等しいか、クロック周期よりも長くなった場合、2発目のクロックの立ち上がりでフリップフロップ10₇がデータ入力端子Dの信号をラッチする時、フリップフロップ10₇のデータ入力端子には信号は未だ伝搬されていず、フリップフロップ10₇は“1”をラッチ出力し、期待値（“0”）と一致しない。すなわち、期待値との比較結果がパスからフェイルに転じた時点での通常モード②におけるクロックの周期 t_{CK} から、測定パスの伝播遅延時間を測定することができる。あるいは、フリップフロップ10₇の出力が期待値と不一致のフェイル状態から、フリップフロップ10₇の出力が期待値と一致するまで、通常モード②のクロックの周期を順次長くしていくことで、期待値との比較結果フェイルからパスに転じた時点での通常モード②におけるクロックの周期から、測定パスの信号伝播遅延時間を測定するようにしてもよいし、バイナリサーチ法により遅延時間を測定してもよい。

【0021】

上記した従来の遅延試験（スキャンパスを利用したACテスト）においては、

測定パス及び該測定パスを活性化させるパスにのみパターン（図6のNAND22の入力端子に入力される論理“1”の信号に対応するパターン）を与えており、これ以外のパスには、信号を設定して、試験を行っていない。

【0022】

スキャンパスを利用したACテストにおいて、遅延測定用のパターンは、自動テストパターン生成ツール（Automatic Test pattern Generator；ATG、あるいはATPGともいう）により、自動生成される。図5は、自動テストパターン生成ツール（Delay_test ATG）により、遅延試験用のパターンを生成する従来のシステムの一例を示す図である。STA（Static Timing Analyzer；静的タイミング解析）201は、LSIを構成する回路素子や配線の信号遅延時間を積算し信号経路の伝搬遅延時間を計算するソフトウェア（論理シミュレーションは用いずに伝搬時間を積算する）であり、遅延測定用のパス（path）情報202が出力される。パス情報202と回路情報（回路素子とその接続情報）203に基づき遅延測定用のパターン（Delay_testパターン）205が自動テストパターン生成ツール（Delay_test ATG）204で自動生成される。

【0023】

遅延試験用のパターンを自動生成する自動テストパターン生成ツール（ATG）204においても、測定パス情報のみを対象として、遅延試験用のパターン205を生成しており、測定パス以外のパスに対して、パターンを生成するための機構等は、実装されていない。

【0024】

このため、例えば測定パスに並行して走るパス等、測定パスに対してクロストークによる影響が無視できないパスについて、実際のクロストークの影響を調べることはできなかった。

【0025】

【発明が解決しようとする課題】

したがって、本発明が解決しようとする課題は、半導体集積回路の遅延試験において、測定パスに対してクロストークが影響を与えるパスのパターンも生成し、クロストークが影響を与えるパスの影響がいかほどのものであるか測定可能とす

るパターンを自動生成する方法、装置ならびにプログラムを提供することにある。

【0026】

【課題を解決するための手段】

前記課題を解決するための手段を提供する本発明は、スキャンパス回路を備えた半導体集積回路のテストパターンを自動生成するにあたり、前記半導体集積回路のレイアウト情報に基づき遅延測定用の測定パスと、該測定パスに対してクロストークによる影響を与える他のパスを決定し、前記測定パスに遅延測定用のパターンを与えるとともに、前記他のパスには、クロストークにより前記測定パスに影響を与えるパターンを生成する。

【0027】

本発明は、半導体集積回路を試験するにあたり、測定パスに、遅延測定用の信号を印加するとともに、前記測定パスにクロストークの影響を与えるパスにも、前記測定パスに印加する信号と同相又は逆相で遷移する信号を印加し、クロストーク影響下で前記測定パスを伝搬する信号の伝搬遅延時間を測定する。

【0028】

本発明においては、前記測定パスにクロストークの影響を与えるパスを固定値とし、前記測定パスを伝搬する信号の遅延時間を測定し、この遅延時間と、前記測定パスにクロストークの影響を与えるパスに信号を印加した時の前記測定パスの遅延時間の差に基づき、クロストークによる影響を評価する。

【0029】

本発明は、スキャンパスを用いたACテストにおいて、スキャンパスを構成するフリップフロップよりなるレジスタ間に配置される組合せ回路の測定パスに対して、前記測定パスの入力側の対応するフリップフロップより遅延測定用の信号を印加するとともに、前記測定パスにクロストークの影響を与えるパスにも、該パスの入力側の対応するフリップフロップより前記測定パスに印加する信号と同相又は逆相に遷移する信号を印加し、前記測定パスの出力をサンプルするフリップフロップの状態を期待値と比較することで、前記測定パスの遅延時間を測定する。以下の説明からも明らかとされるように、本願請求の範囲の各請求項の発明は、上記課題を解決する手段を提供する。

【 0 0 3 0 】

【発明の実施の形態】

本発明の実施の形態について説明する。図 1 は、本発明の実施の形態のシステムの構成及びその処理を模式的に示す図である。図 1 を参照すると、本発明の一実施の形態は、スキャンパスを備えた半導体集積回路（LSI）の遅延測定用のテストパターンを自動生成するにあたり、半導体集積回路のレイアウト情報（101）に基づき、近傍配線の抽出（102）を行い、測定パスに対してクロストークの影響を及ぼす配線情報（クロストーク情報）（103）を抽出する。すなわち、近傍配線の抽出（102）において、レイアウト情報（101）から、測定パスの近傍配線が抽出され、例えば L（ライン）／S（スペース）等の設計情報、絶縁膜の比誘電率、並行して走る長さ等の条件等に基づき、クロストークが影響する可能性のある配線を、クロストーク情報として出力する。なお、測定パスとしては、例えばクリティカルパスあるいはクリティカルパスに準ずるパス等が選択される。

【 0 0 3 1 】

クロストーク情報（103）とパス情報（105）を参照し、遅延測定パスについて、該パスのノード情報と該ノードの信号の遷移情報よりなる遅延測定パス情報と、該遅延測定パスに対してクロストークによる影響を与えるパス（aggressor path；「アグレッサパス」という）のパス情報（「遅延測定パス及びアグレッサ信号パス情報」ともいう）（107）を生成する（処理 106）。

【 0 0 3 2 】

半導体集積回路の回路情報（108）と、遅延測定パス及びアグレッサ信号パス情報（107）とから、測定パスに対して、遅延測定用の信号を入力し、前記測定パスに入力した信号が測定パスを伝搬するための信号を、測定パスの入力側のレジスタのフリップフロップから出力するパターンを生成するとともに、前記測定パスに対してクロストークによる影響を与えるアグレッサパスに対して、前記測定パスに影響を与える信号を、アグレッサパスの入力側のレジスタのフリップフロップから出力するパターン（初期パターン）を含む遅延試験パターン（110）を遅延試験用の自動テストパターン生成装置（Delay_test ATG）（109）で自動生

成する。自動テストパターン生成装置 (Delay_test ATG) (109) は、図6乃至図9を参照して説明したように、前記測定パスの出力端に接続されるフリップフロップを初期設定するパターン、測定パス、アグレッサパスに信号を伝搬させるために必要な設定をフリップフロップに対して行うパターンも自動生成する。

【0033】

本発明の一実施の形態において、上記半導体集積回路を被試験デバイスとしてACテスト（遅延測定）する場合、生成された遅延試験パターンをスキャンパスを構成するフリップフロップ（スキャンレジスタ）に設定してテストを行う。すなわち、スキャンパスを構成するフリップフロップよりなるレジスタの出力を入力し、出力が、スキャンパスを構成するフリップフロップよりなるレジスタの入力に接続されている組合せ回路について、遅延測定を行う測定パスの入力端に直接又は論理回路を介して接続されているフリップフロップ（図2の10m）を初期状態に設定し、前記測定パスにクロストークの影響を与えるアグレッサパスの入力端に出力が直接又は論理回路（図2の20₂）を介して接続されているフリップフロップ（図2の10n）を初期状態に設定し、前記測定パス及び前記アグレッサパスに信号を伝搬させるために初期値を設定しておく必要のあるフリップフロップを、所定の状態に設定するための初期化パターンを、前記半導体集積回路をスキャンモードにして、半導体集積回路のスキャンイン端子から供給する。そして、測定パスに供給される遅延測定用の信号がLowレベルからHighレベルへの立ち上がりの場合、フリップフロップ（10m）の初期状態を論理“0”とし、フリップフロップ（10m）のデータ入力端子Dに供給される信号が論理値“1”となるように、フリップフロップ（10m）の前段に位置するレジスタ（フリップフロップ10mのデータ入力端子Dに出力信号を供給する組合せ回路の入力に出力信号を供給するレジスタ）の対応するフリップフロップ（不図示）に設定し、アグレッサ信号として入力する信号が立ち上がりの場合、対応するフリップフロップ（10n）の初期状態を論理“1”とし、フリップフロップ（10n）のデータ入力端子Dに供給される信号が論理値“0”となるように、フリップフロップ（10n）の前段に位置するレジスタ（フリップフロップ10nのデータ入力端子Dに出力信号を供給する組合せ回路の入力に出力信号を供給するレ

ジスタ)の対応するフリップフロップ(不図示)に設定する。

【0034】

L S I テスタにより、被試験デバイスの半導体集積回路をスキャンモードから通常モードに設定し、測定パスの入力端に信号を与えるフリップフロップ(図2の10m)は、最初のクロックの立ち上がりで、データ入力端子Dの信号をラッチし出力端子を一の状態(初期状態)から他の状態へ遷移させて前記測定パスを伝搬し、前記アグレッサパスの入力端に信号を与えるフリップフロップ(図2の10n)は、最初のクロックの立ち上がりで、データ入力端子Dの信号をラッチし出力端子の状態を遷移させてアグレッサパスを伝搬し、前記測定パスの出力端の信号をデータ入力端子Dから入力するフリップフロップ(図2の10p)は、2発目のクロックの立ち上がりでデータ入力端子Dの信号をラッチする。

【0035】

L S I テスタにより、被試験デバイスの半導体集積回路を、再びスキャンモードに設定して、スキャンパスを構成するフリップフロップの値を、前記半導体集積回路のスキャンアウト端子から読み出して、前記測定パスの出力端の信号をデータ入力端子から入力するフリップフロップの値を期待値と比較し、パス(又はフェイル)の場合、クロック周期を所定時間短縮(又は増大)させて、上記ステップを実行し、パスからフェイルへの遷移(又はフェイルからパスへの遷移)の時点のクロック周期を、クロストーク影響下での測定パスの遅延時間とする。測定パスの遅延時間の検出は、図6乃至図10を参照して説明した従来の遅延試験方法と同一の手順に従う。

【0036】

本発明の一実施の形態においては、スキャンモードにして測定パスにクロストークの影響を与えるパスを固定値に設定する信号を、該パスに対応するフリップフロップより設定し、通常モードで、クロックを2発供給し、測定パスのデータ入力端子が接続されるフリップフロップで、測定パスの終端の信号をラッチし、スキャンモードにしてフリップフロップの状態をシリアルに読み出すことで、期待値と比較し、パスからフェイルへの変化時点でのクロック周期から、前記測定パスの遅延時間を測定し、前記測定パスにクロストークの影響を与えるパスに対

して信号を与えたときの前記測定パスの遅延時間との差に基づき、クロストークによる影響（クロストークによる測定パスの遅延時間の増大等）を、定量的に評価可能としている。

【0037】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。図1は、本発明の一実施例のシステム及び処理手順について説明するための模式図である。図1を参照すると、半導体集積回路のレイアウト情報101に基づき、近傍配線の抽出102を行い、測定パスに対してクロストークの影響を及ぼす配線情報（クロストーク情報）103を抽出する。つづいて、クロストーク情報103及びパス情報105を参照して、遅延測定パスについて、該パスを構成するノードのノード名と、該ノードにおける信号の遷移情報よりなる測定パスの情報、及び、測定パスに対してクロストークによる影響を与えるパス（アグレッサパス）のパス情報（「遅延測定パス及びアグレッサ信号パス情報」ともいう）107を生成する（106）。

【0038】

図4は、図1の遅延測定パス及びアグレッサ信号パス情報107の具体例を説明するための図であり、図4（a）は、図4（b）に示した回路において、測定パス、及びアグレッサパス（aggressor_path）抽出結果の一例を示す図である。図4（b）において、M1、M8はスキャンパスを構成するフリップフロップであり、フリップフロップM1の出力端子Qと、フリップフロップM2のデータ入力端子D間のパスを、測定パスとする。測定パス情報には、測定パスを構成するノード（Node）名と、伝搬する信号の立ち上がり（rise）／立ち下がり（fall）の種別が抽出される。

【0039】

アグレッサパス情報としては、ノードM5の出力OUTと並行して走行するパスが抽出され、隣接ノード名は、M100の出力OUTであると検出される。

【0040】

遅延試験用の自動テストパターン生成装置（Delay_test ATG）109では、

回路情報 1 0 8 と、測定パス情報とアグレッサパス情報から、組合せ回路を、M 1 0 0 の入力方向に探索し、アグレッサパスをなすノード M 1 0 0 の出力 O U T を初期状態に設定するために必要なフリップフロップを見だし、さらに該フリップフロップからアグレッサ信号を出力するために、状態を設定しておく必要のあるフリップフロップを見出し、アグレッサパスのノードをなす M 1 0 0 の出力 O U T に対して、ノード M 5 (測定パスのノード) の出力 O U T の遷移方向 (立ち下がり) と、逆相及び同相の遷移の信号を与えるためパターンを生成する。

【 0 0 4 1 】

測定パスについても、ノード M 5 の出力 O U T を H i g h から L o w レベルへ遷移させるために、対応するフリップフロップに設定することが必要とされる初期パターンを生成する。

【 0 0 4 2 】

すなわち、測定パス、アグレッサパスの入力端に対して出力端子から信号を与えるフリップフロップ (図 2 の 1 0 m、1 0 n) のデータ入力端子に、前段の組合せ回路の出力端子が接続されている場合には、前段の組合せ回路の入力に出力端子が接続されているフリップフロップを、所定の状態に初期設定するパターンを生成する。前段の組合せ回路の入力に出力端子が接続されているフリップフロップを所定の状態に設定することで、測定パス、アグレッサパスの入力端に対して出力端子から信号を与えるフリップフロップのデータ入力端子には、該フリップフロップ (図 2 の 1 0 m、1 0 n) の初期状態とは、相違した状態の信号が供給され、該フリップフロップは、クロック信号の遷移で、出力信号の値を遷移させる。

【 0 0 4 3 】

さらに、測定パスとアグレッサパスをともに活性化させるために、対応するフリップフロップ群に対して、設定しておくために必要な初期パターンを生成する。

スキャンパスを構成しシリアルに接続されるフリップフロップに設定される初期パターンは、半導体集積回路のスキャンイン端子より入力されるシリアルパターンである。

【 0 0 4 4 】

上記実施例において、近接配線抽出 1 0 2、S T A 1 0 4、測定パス抽出 1 0 6、遅延試験用自動テストパターン生成装置 (Delay_test A T G) 1 0 9 は、いずれもコンピュータ上で実行されるプログラムによりその処理・機能が実現される。

【 0 0 4 5 】

図 2 は、本発明の一実施例において、測定パスとアグレッサパスの関係 (図 2 (a))、及び動作タイミング (図 2 (b)) をそれぞれ示す図である。測定パスとアグレッサパスについて、図 2 を参照してさらに説明すると、測定パスの入力端をなすノードに出力端が接続されているフリップフロップ 1 0 m と、測定パスの出力端をなすノードに入力端が接続されているフリップフロップ 1 0 p、アグレッサパスの入力端をなすノードに出力端が接続されているフリップフロップ 1 0 n と、アグレッサパスの出力端をなすノードに入力端が接続されているフリップフロップ 1 0 q を所定の状態 (初期状態) に設定するパターンを生成する。その際、測定パス、アグレッサパスを活性化する、すなわち測定パス、及びアグレッサパスに信号を伝搬させるために、値を設定しておく必要のあるフリップフロップを所定の状態に設定する。さらに、図 6 を参照して説明したように、測定パスの入力端をなすノードに出力端が接続されているフリップフロップ 1 0 m のデータ入力端子 D に対して信号を出力する組合せ回路が存在し、当該組合せ回路 (例えば図 6 の 2 0 参照) に対して通常モード時、平行にデータを出力するレジスタをなすフリップフロップが存在する場合 (図 6 において例示したように、フリップフロップ 1 0₄ ~ 1 0₆ の前段に組合せ回路 2 0 が存在しその前段にフリップフロップ 1 0₁ ~ 1 0₃ が存在する場合)、前記測定パスの入力端をなすノードを、初期状態から他の状態への遷移を与える信号を出力するように、前段の組合せ回路の入力に出力端子が接続されるフリップフロップを、所定の状態に設定するための初期化パターンを生成する。

【 0 0 4 6 】

アグレッサパスに対応するフリップフロップに設定する初期化パターンは、測定パスの入力端に印加される信号の遷移に対して、アグレッサパスの信号の遷移が同相となるパターンと、測定パスの信号の遷移に対してアグレッサパスの信号の遷

移が逆方向となるパタンの2種を用意する。さらに、測定パスの信号の遷移に対してアグレッサパスの信号を固定値とし変化しないように設定するパターンを生成する。なお、遅延試験 (Delay_test) A T G 1 0 9 では、期待値パタンの生成も自動で行う。

【 0 0 4 7 】

遅延テスト A T G 1 0 9 で生成されたパターンを用いて L S I テスタで被試験デバイスをなす半導体集積回路をテストする場合、まず、スキャンモード (スキャンイネーブル) に設定し、スキャンイン端子から、遅延測定用の信号及びアグレッサ信号、測定パス、アグレッサパスを活性化する信号を与えるシリアルパターンを入力し、スキャンパスを構成するレジスタのうち対応するフリップフロップに供給する。

【 0 0 4 8 】

スキャンモードから通常モード (スキャンディスエーブル状態) とし、1 発目のクロックで、測定パスの入力端をなすノードに出力端子が接続されているフリップフロップ 1 0 m がデータ入力端子の信号をラッチし、出力信号を初期状態から他の状態へ遷移させ、その際、アグレッサパスの入力端をなすノードに出力端が接続されているフリップフロップ 1 0 n はその出力を、フリップフロップ 1 0 m の出力とは逆方向 (フリップフロップ 1 0 m の出力信号が立ち上がりの場合、フリップフロップ 1 0 2 の出力は立ち上がり) に変化させ、2 発目のクロックで、測定パスの出力端をなすノードにデータ入力端が接続されているフリップフロップ 1 0 p がデータ信号をラッチする。フリップフロップ 1 0 m の出力信号が立ち上がるとき、フリップフロップ 1 0 n の出力は立ち下がり、アグレッサパスの信号は、測定パスの信号の遷移方向と逆方向に遷移し、アグレッサパスによるクロストーク (容量カップリング) の影響により、測定パスに印加される遅延測定用の信号の立ち上がり時間は、遅延する。

【 0 0 4 9 】

半導体集積回路をスキャンモードに設定して、スキャンパスを構成するフリップフロップの状態 (値) を読み出して期待値と比較し、パスの場合、クロック周期を短縮させて、上記ステップを実行し、パスからフェイル、又はフェイルから

パスへの変化時のクロック周期を、クロストーク影響下での測定パスの遅延時間とする。

【 0 0 5 0 】

次に、アグレッサパスに与える信号が測定パスに与える信号と逆相のほか、同相で遷移する場合についても、スキャンパスを構成するフリップフロップの初期化パターンの設定、通常モードによる2つのクロックの供給、スキャンパスを構成するフリップフロップの状態観測パターンの読出しのテストを実行し、パスからフェイル又はフェイルからパスへの変化時点のクロック周期を測定パスの遅延時間を測定する。この場合、図2 (b) に示すように、フリップフロップ10mの出力信号が立ち上がる時、フリップフロップ10nの出力（アグレッサパスの信号）は立ち上がり、アグレッサパスの信号は測定パスの信号の遷移と順方向に遷移し、アグレッサパスによるクロストーク（容量カップリング）の影響により、測定パスに印加される信号の立ち上がり時間は短縮する。

【 0 0 5 1 】

次に、測定パスに対して供給する信号のみを遷移させ、アグレッサパスについてはそのレベルを固定状態に設定し、同様にして、測定パスの遅延時間を測定する。

【 0 0 5 2 】

アグレッサパスを動作させない状態において検出された測定パスの遅延時間（クロック周期）と、アグレッサパスを動作させた場合の測定パスの遅延時間の差から、クロック信号に対してクロストークの影響を及ぼすアグレッサパス動作時のクロストークによるクロック遅延量等を評価することができる。

【 0 0 5 3 】

次に、本発明の第2の実施例について説明する。図3は、本発明の第2の実施例を説明するための図である。本発明の第2の実施例においては、クロック信号に対する隣接配線によるクロストークの影響を測定するものである。測定パスに属するフリップフロップ10pにクロックを供給するクロック信号配線に、近接して配線され、並行して走行する配線（クロストークの影響を与えるアグレッサパス）を、半導体集積回路のレイアウト情報から検出し、クロック信号に対して

クロストークに影響を与えるアグレッサパス情報を生成する。

【0054】

フリップフロップがクロック信号の立ち上がりエッジでデータ入力端子のデータをサンプルする場合、アグレッサパスに与える信号（アグレッサ信号）としては、クロック信号の立ち上がり遷移に順方向の立ち上がり、あるいは逆方向の立ち下がり、変化なしのパターンを生成する。

【0055】

図3（b）に示すように、アグレッサパスに与える信号（アグレッサ信号）の遷移が、クロック信号の遷移と同相（順方向）の立ち上がりである場合、クロストークの影響（容量カップリング）により、クロック信号の立ち上がり時間は短縮する。一方、アグレッサ信号の遷移が、クロックの遷移と逆相（逆方向）の立ち下がりである場合、クロストークの影響（容量カップリング）により、クロック信号の立ち上がり時間は遅延する。

【0056】

フリップフロップ10pのラッチタイミングを規定するクロック信号の立ち上がり時間が短縮すると、フリップフロップのセットアップタイム等との関係から、誤データをサンプリングする場合がある。フリップフロップ10pのラッチタイミングを規定するクロック信号の立ち上がり時間が遅延すると、フリップフロップ10pのデータ入力端子Dに信号が本来の規定値より遅れて伝搬している場合にも、クロック信号の遅れによりデータの遅延を正しく検出することができない。

【0057】

本実施例では、スキャンパスモードで、測定パスに対応するフリップフロップに初期化パターンを供給し、アグレッサパスに対応するフリップフロップに初期化パターンを供給し（図6、図9の①に対応）、通常モードで2発のクロックを供給し（図7、図9の②に対応）、スキャンパスモードでスキャンパスを構成するフリップフロップの値をシリアルに読出し（図8、図9の③に対応）、フリップフロップ10pの値を期待値と比較し、パスからフェイルに変化した時点のクロック周期を導出する。

【 0 0 5 8 】

アグレッサパスの信号を遷移させず固定値に設定した場合についても、スキャンパスモードで、測定パスに対応するフリップフロップに初期化パターンを供給し、アグレッサパスに対応するフリップフロップに初期化パターンを供給し、通常モードで2発のクロックを供給し、スキャンパスモードでスキャンパスを構成するフリップフロップの値をシリアルに読出し、フリップフロップ10pの値を期待値と比較し、パスからフェイルに変化した時点のクロック周期を導出する。アグレッサパスを動作させない状態において検出された測定パスの遅延時間（クロック周期）と、アグレッサパスを動作させた場合の測定パスの遅延時間の差から、クロック信号に対してクロストークの影響を及ぼすアグレッサパス動作時のクロストークによるクロック遅延量等を評価することができる。

【 0 0 5 9 】

この実施例においては、図1の測定パス抽出処理106において、測定パスを構成するノードと信号の遷移の組を含む測定パス情報を生成するとともに、前記測定パスに接続するフリップフロップにクロックを供給するクロック信号配線に対してクロストークによる影響を与えるアグレッサパスが存在する場合、該アグレッサパスのノード情報を含むアグレッサパス情報を生成し、また、遅延試験ATG109では、半導体集積回路の回路情報108と、測定パス情報とクロック信号配線情報とアグレッサパス情報107とから、測定パスに対して、遅延測定用の信号を、前記測定パスに対応するフリップフロップから出力させるパターンと、前記測定パスに対してクロストークによる影響を与えるアグレッサパスには、クロストークにより、前記クロック信号配線に対して影響を与える信号を、前記アグレッサパスに対応するフリップフロップから出力させるパターンと、測定パスと前記アグレッサパスを信号が伝搬するために値を設定しておく必要のあるフリップフロップを所定の状態に設定するパターンを自動生成する。

【 0 0 6 0 】

以上、上記実施例に即して本発明を説明したが、本発明は、上記実施例にのみ限定されるものではなく、特許請求の範囲の各請求項の発明の範囲で、当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【 0 0 6 1 】

【発明の効果】

以上説明したように、本発明によれば、測定パスの遅延試験において、測定パスにクロストークの影響を及ぼすパスに信号を設定して、測定パスの遅延時間を測定することにより、クロストークの実際の影響を評価することができる、という効果を奏する。

【 0 0 6 2 】

また本発明によれば、測定パスの遅延試験において測定パスにクロストークの影響を及ぼすパスに信号を生成するパターンを自動生成しているため、テストコストの低減を図ることができる、という効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の一実施例のシステムを示す図である。

【図 2】

本発明の一実施例の試験を模式的に示す図である。

【図 3】

本発明の他の実施例の試験を模式的に示す図である。

【図 4】

本発明の一実施例の測定パス及びアグレッサパス情報の一例を示す図である。

【図 5】

従来の遅延試験パターン生成システムの構成を示す図である。

【図 6】

スキャンパス回路の遅延試験を模式的に示す図である。

【図 7】

スキャンパス回路の遅延試験を模式的に示す図である。

【図 8】

スキャンパス回路の遅延試験を模式的に示す図である。

【図 9】

スキャンパス回路のタイミングを示す図である。

【図 1 0】

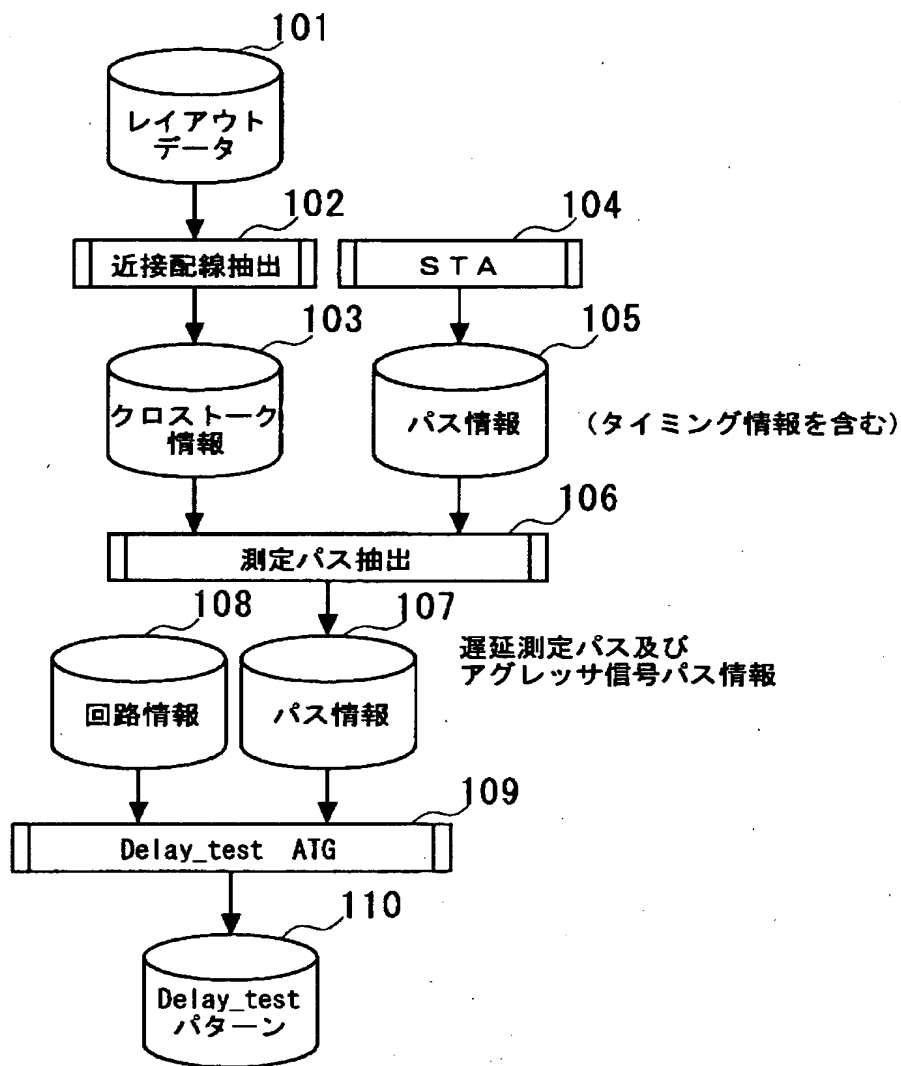
遅延測定におけるクロックと伝搬遅延時間の関係を示す図である。

【符号の説明】

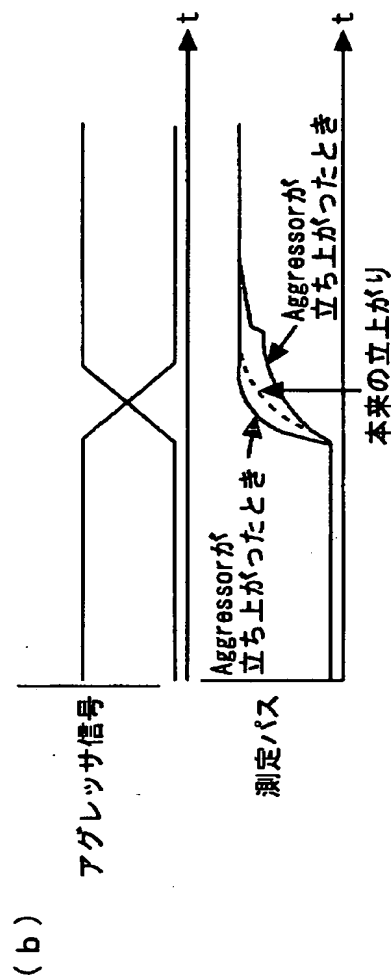
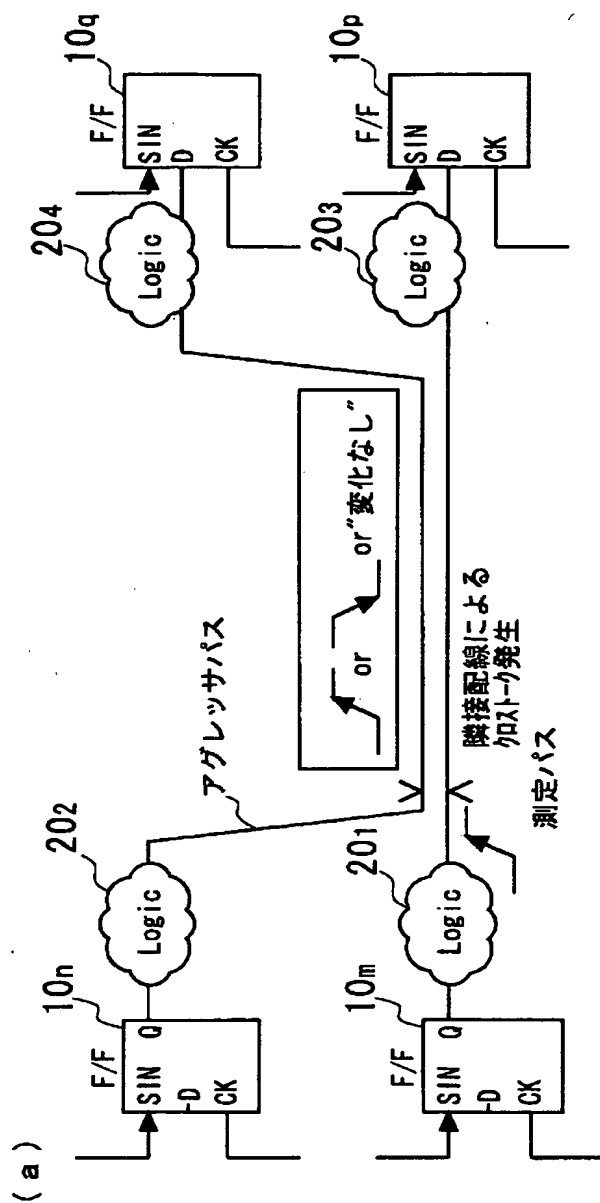
- 1 0 フリップフロップ
- 2 0 組合せ回路
- 2 1、2 3 A N D 回路
- 2 2 N A N D 回路
- 1 0 1 レイアウトデータ
- 1 0 2 近接配線抽出
- 1 0 3 クロストーク情報
- 1 0 4 静的タイミング解析
- 1 0 5 バス情報
- 1 0 6 測定バス抽出
- 1 0 7 バス情報
- 1 0 8 回路情報
- 1 0 9 遅延試験 A T G (Delay_test ATG)
- 1 1 0 遅延試験パターン
- 2 0 1 静的タイミング解析
- 2 0 2 バス情報
- 2 0 3 回路情報
- 2 0 4 遅延試験 A T G
- 2 0 5 遅延試験パターン

【書類名】 図面

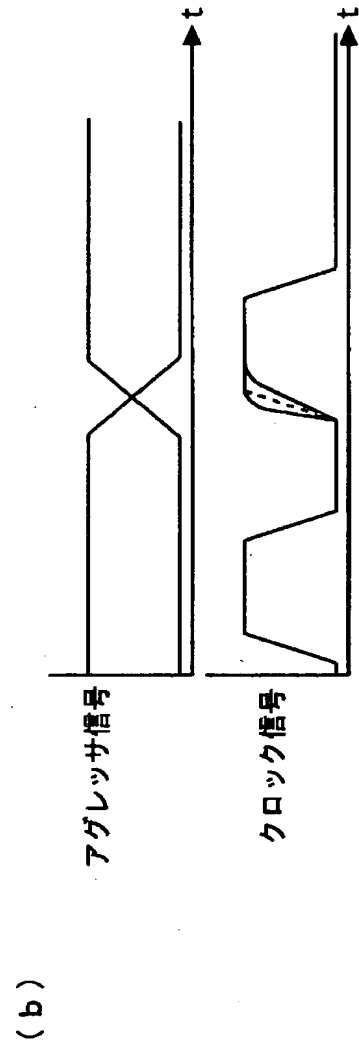
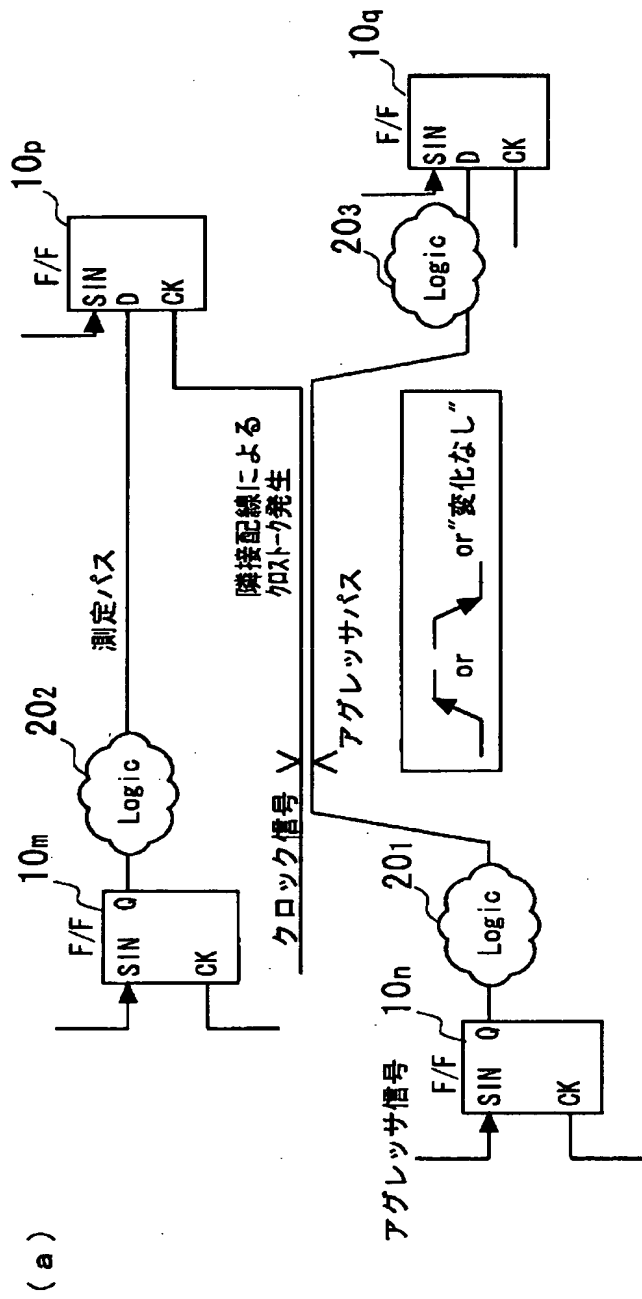
【図 1】



【図 2】



【図 3】



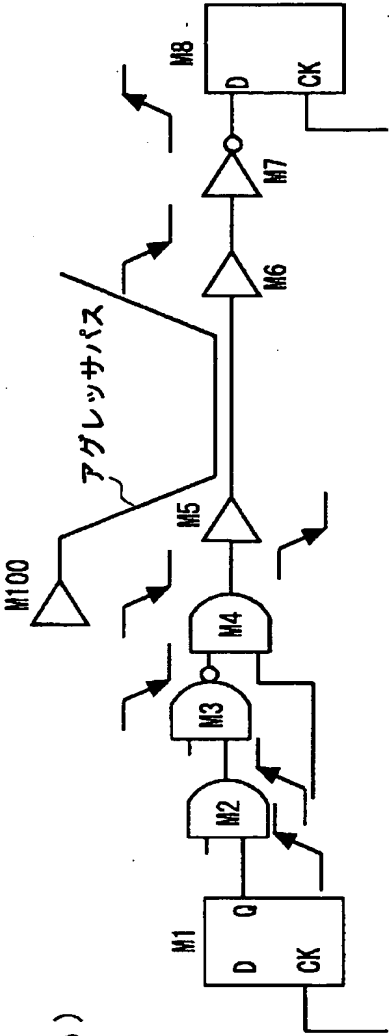
【図 4】

(a)

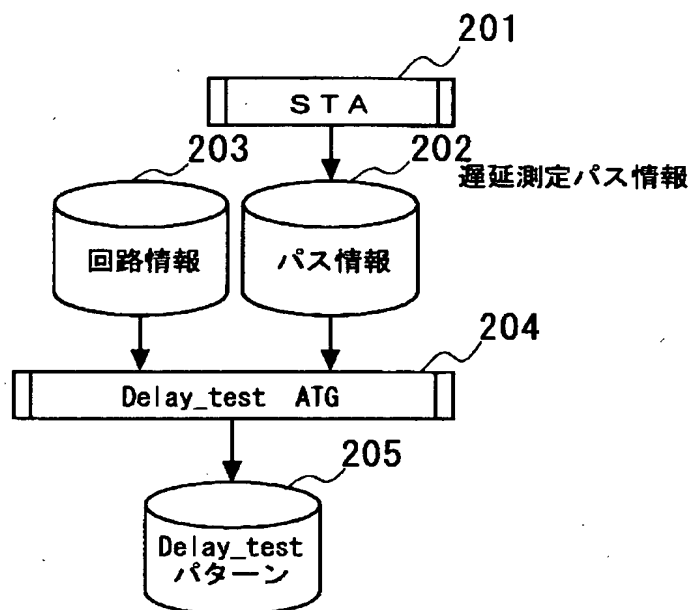
ATGに与えるpath情報例

測定パス情報		アグレッサパス情報	
Node名	rise/fall	node名	隣接Node名
M1:Q	rise	M5:OUT	M100:OUT
M2:OUT	rise		
M3:OUT	fall		
M4:OUT	fall		
M5:OUT	fall		
M6:OUT	fall		
M7:OUT	rise		

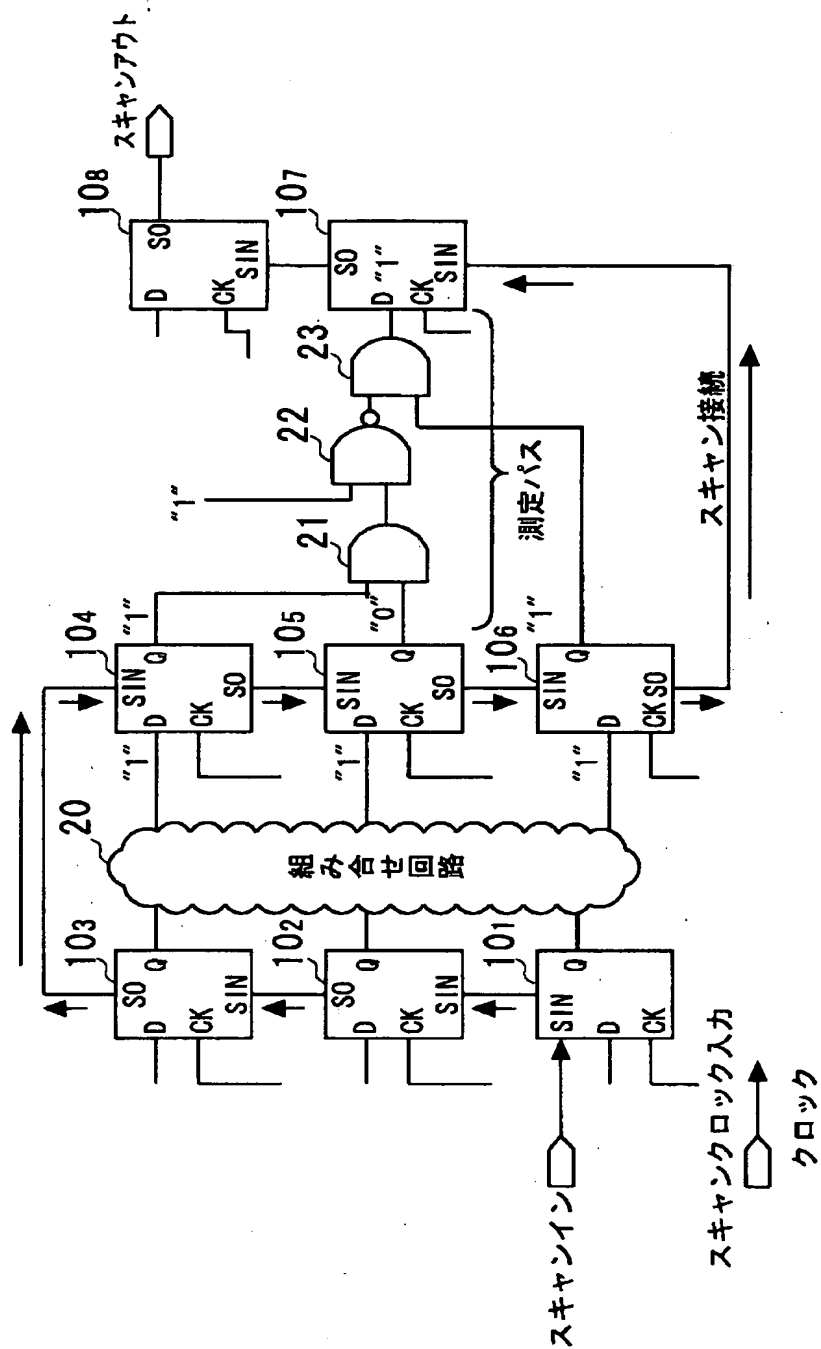
(b)



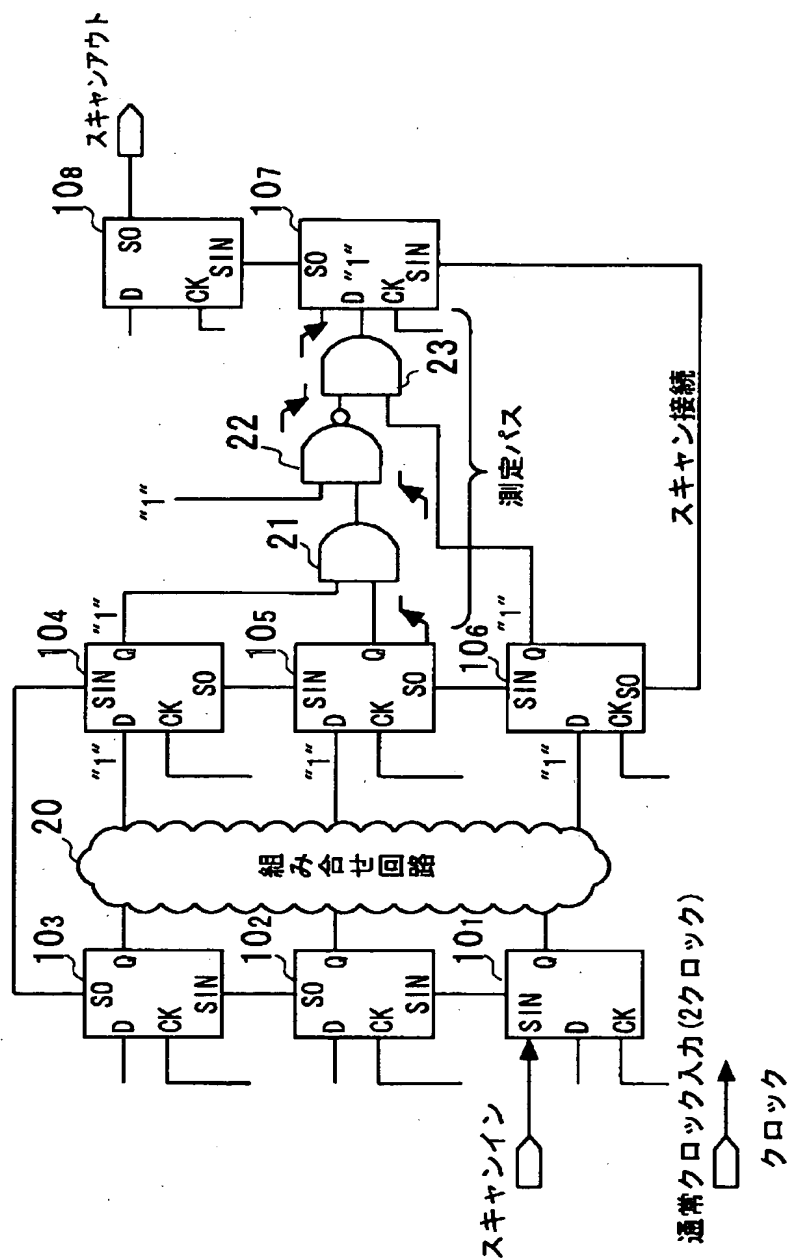
【図 5】



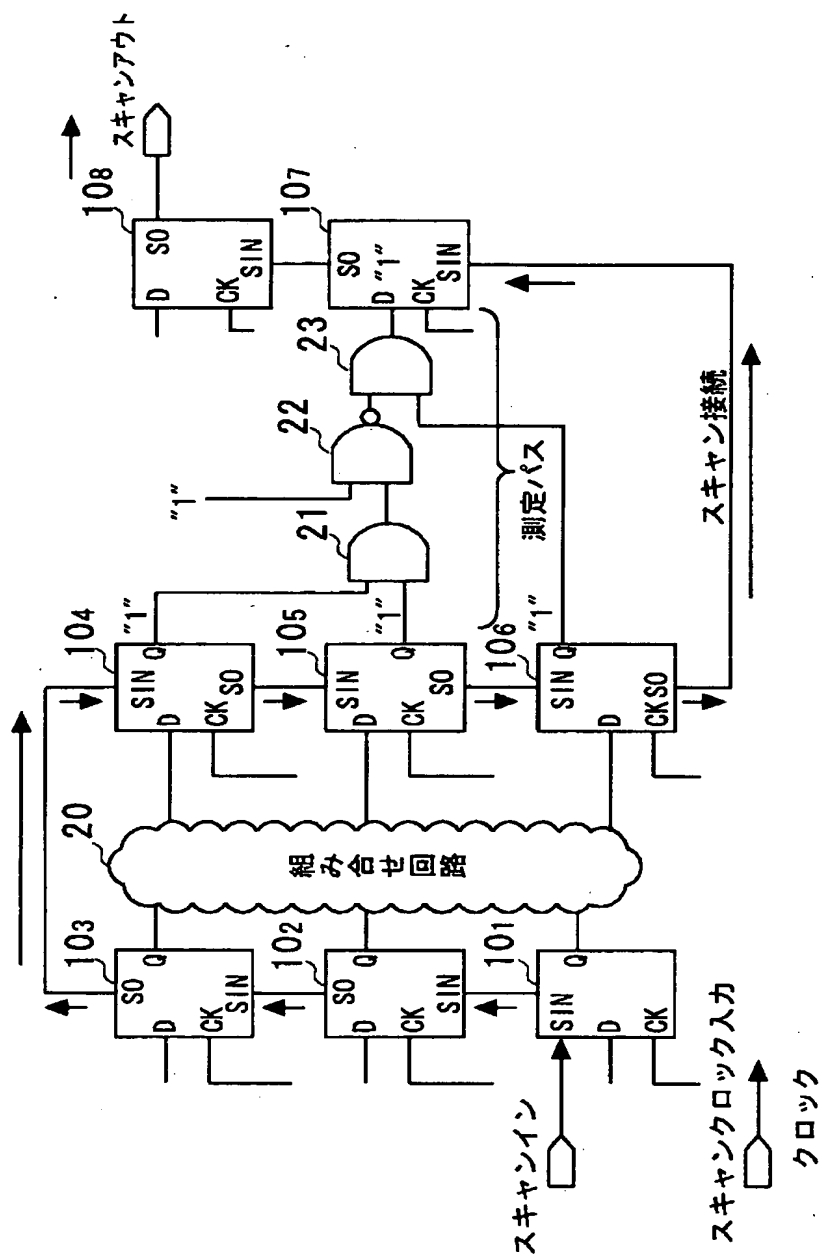
【図6】



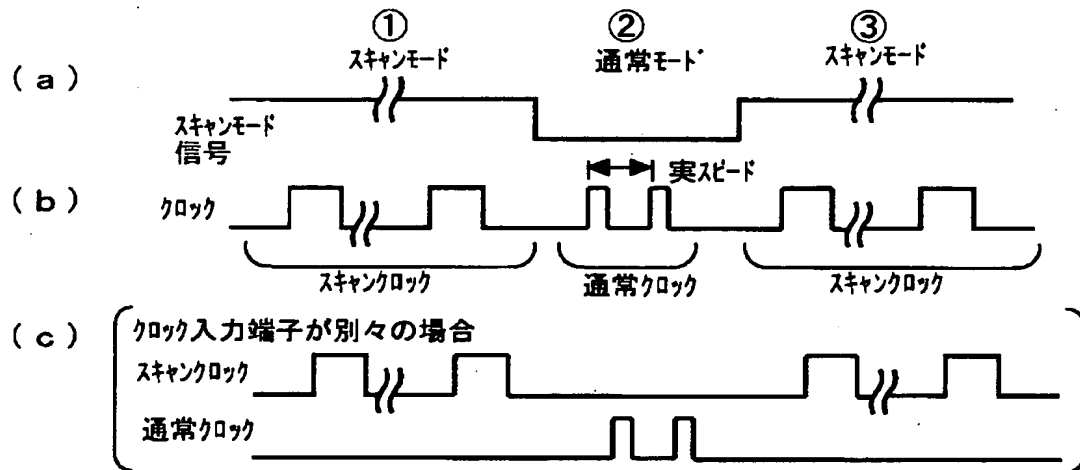
【圖 7】



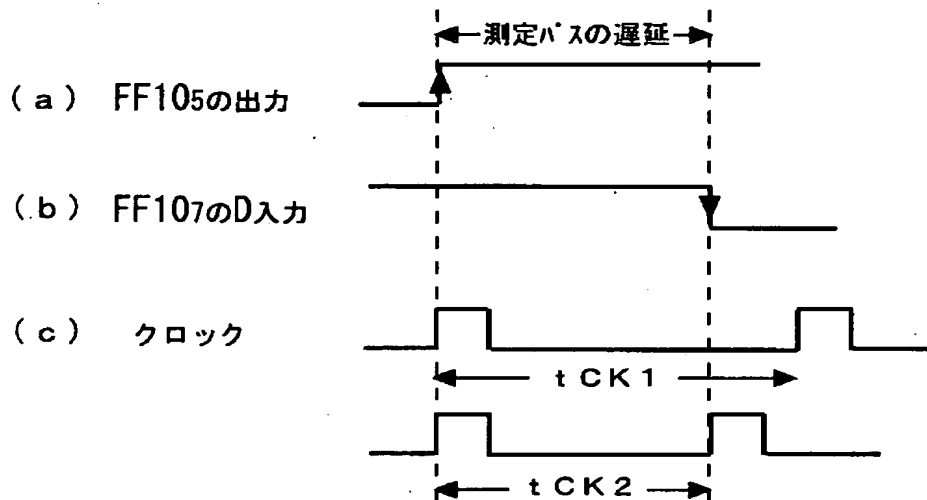
【図8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】

スキャンパスを用いた遅延試験において、測定パスに対してクロストークが影響を与えるパスのパターンも生成し、クロストークが影響を与えるパスの影響がいかにどのようなものであるか測定可能とするパターンを自動生成する方法、装置の提供。

【解決手段】

半導体集積回路のレイアウト情報に基づき近傍配線を抽出しクロストークの影響を及ぼす配線情報を抽出し（102）、クロストーク情報を参照してスキャンパスを構成するフリップフロップ間の組合せ回路測定パスに対してクロトークによる影響を与えるアグレッサパスの情報を生成し（106）、回路情報108と、測定パス情報とアグレッサパス情報107とから、測定パスに対して、遅延測定用の信号を、前記測定パスに対応するフリップフロップから出力するパターンと、前記測定パスに対してクロトークによる影響を与えるアグレッサパスには、クロトークにより測定パスに影響を与える信号を、前記アグレッサパスに対応するフリップフロップから出力させるパターンを含む遅延試験パターン110を生成する（109）。

【選択図】

図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社